

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-92786

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl.⁹

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

C

D

審査請求 有 請求項の数 8 O L (全 6 頁)

(21) 出願番号

特願平7-249522

(22) 出願日

平成7年(1995)9月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 天宮 泰

東京都港区芝五丁目7番1号 日本電気株式会社内

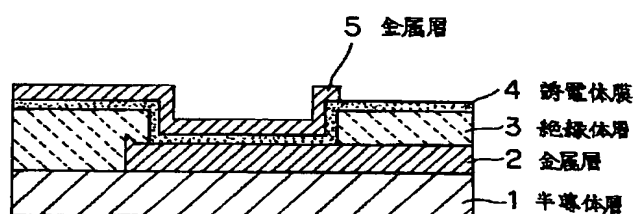
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 M I M キャパシタ並びに同キャパシタおよび配線の形成方法

(57) 【要約】

【課題】 本発明はM I M キャパシタに関するものであり、その第1の目的は、M I M キャパシタの下部電極端で生じやすい上部電極-下部電極間の絶縁不良を防ぐことであり、第2の目的はM I M キャパシタの設計の自由度を失うことなく、M I M キャパシタ電極と配線を上下それぞれ同時に形成する方法を提供することである。

【解決手段】 本発明のM I M キャパシタは下部金属層と上部金属層の間に、キャパシタ形成領域とキャパシタ形成領域以外の領域とで膜厚、比誘電率の異なる絶縁体層を有する。また本発明のM I M キャパシタの電極と配線の同時形成方法は、下部電極層を同時形成後に第1の絶縁体層により素子表面を一定の厚さをもって平坦化し、キャパシタ形成領域および上下配線間の接続部領域を開口した後、誘電率の高い第2の薄膜絶縁体層を形成し、上下配線接続部を再び開口してから上部電極層を同時形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成され、電極および配線が含まれる上層および下層の金属層の間に絶縁体層が配置されるMIMキャパシタにおいて、前記絶縁体層の構成が、前記MIMキャパシタ形成領域と該領域以外の領域において異なることを特徴とするMIMキャパシタ。

【請求項2】 前記絶縁体層は、前記MIMキャパシタ形成領域においては第1の所定の誘電率および厚さを有する絶縁体層からなり、前記MIMキャパシタ形成領域以外の領域においては第2の所定の誘電率および厚さを有する絶縁体層が含まれている請求項1に記載のMIMキャパシタ。

【請求項3】 前記第1の所定の誘電率および厚さは、前記電極の面積における前記MIMキャパシタの容量に対応する誘電率および厚さであり、前記第2の所定の誘電率および厚さは、前記MIMキャパシタ形成領域以外の領域における容量の発生を防止するとともに、前記下層の金属層に含まれる電極の周縁部において前記上層の金属層に含まれる電極との間に生ずることのある絶縁不良を防止することができる誘電率および厚さである請求項1または2に記載のMIMキャパシタ。

【請求項4】 前記上層および下層の金属層に含まれる電極および配線は、それぞれ同一平面上にあり、かつそれぞれ同一の厚さを有する請求項1乃至3のいずれか1項に記載のMIMキャパシタ。

【請求項5】 半導体基板上に形成され、電極および配線がそれぞれ含まれる上層および下層の金属層の間に絶縁体層が配置されるMIMキャパシタおよび配線の形成方法において、前記下層の金属層に含まれる電極および配線と前記上層の金属層に含まれる電極および配線がそれぞれ同時に形成されることを特徴とするMIMキャパシタおよび配線の形成方法。

【請求項6】 半導体基板上に電極および配線を含む所定のパターンを有する下層の金属層を形成するステップと、全面に、前記基板の元の面に平行し、かつ平坦な表面を有する第1の絶縁体層を形成するステップと、前記第1の絶縁体層の第1の所定の領域をエッチングにより除去するステップと、前面に第2の絶縁体層を形成するステップと、前記第2の絶縁体層の第2の所定の領域をエッチングにより除去するステップと、全面に、電極および配線を含む所定のパターンを有する上層の金属層を形成するステップを有する請求項5に記載のMIMキャパシタおよび配線の形成方法。

【請求項7】 前記第1の絶縁体層は、前記MIMキャパシタ形成領域以外の領域における容量の発生を防止するとともに、前記下層の金属層に含まれる電極の周縁部

において前記上層の金属層に含まれる電極との間に生ずることのある絶縁不良を防止することができる誘電率および厚さを有し、前記第2の絶縁体層は、前記電極の面積において前記MIMキャパシタの容量に対応する誘電率および厚さを有する請求項6に記載のMIMキャパシタおよび配線の形成方法。

【請求項8】 前記第1の所定の領域は前記MIMキャパシタ形成領域を含み、さらに前記上層および下層の金属層に含まれる配線間に接続点があれば当該接続領域を含む請求項6または7に記載のMIMキャパシタの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体基板上に形成されるMIMキャパシタおよびその形成方法に関する。

【0002】

【従来の技術】 図3は、半導体素子上に形成される従来のMIMキャパシタの構造を示す半導体チップの断面図であり、図3に示すMIMキャパシタは半導体層1（半導体基板）の上であって、下層の金属層2と上層の金属層5の間に誘電体膜4を挟んだ構造になっており、誘電体膜4の誘電率、膜厚および上下の金属層中における電極部の面積によって容量値が決定される。

【0003】 金属層2および5の形成に当っては、半導体層1または誘電体層4における電極または配線の形成領域以外の領域をホトレジスト6、7等のマスクで覆い、真空蒸着によって金属層を堆積させた後、ホトレジスト等の部分を洗浄、溶解させて金属層2、5を残すリフトオフ法（図4、図5）、または半導体層1または誘電体層4の全面にスパッタ等を用いて金属層2、5を形成した後、ミリング等により所定のパターンに加工する方法（図6、図7、以降スパッタ法と略記する）がとられている。

【0004】

【発明が解決しようとする課題】 図4、図6に示すように、真空蒸着による金属層2の堆積時にホトレジスト6の側面に付着する金属により、またはミリング時にホトレジスト8の側面に再付着する金属により、MIMキャパシタの下部電極の端部はとがった形状を有することが多く、図3に示した従来のMIMキャパシタの構造においては、この下部電極端部で上部電極との間に電氣的な短絡が生じる可能性が高い。本発明の第1の目的は、上記の絶縁不良の問題を解決するMIMキャパシタの構造を提供することである。

【0005】 一方、MIMキャパシタの形成方法に関しては、MIMキャパシタの上層および下層の金属層の形成に当り、電極と半導体素子の配線とをそれぞれ同時に形成する工夫をとれば、半導体素子の製造工程を減少させることができる。しかしながらこのとき、MIMキャパシタの設計は、配線の仕様によって制約を受けること

になる。例えば配線のインピーダンスを下げる等の理由から第1の配線層（下層の配線層）を厚くとるとMIMキャパシタの下部電極も厚くせざるを得ない。このとき表面の段差が大きくなることから上部電極の形成が難しくなる。上部電極をリフトオフ法により形成しようとする、図5に示すように段差部で金属層に段切れが生じ電氣的な接続が絶たれてしまうことがあり、またスパッタ法を用いるときには、図7に示すように段差部に不要な金属層が除去しきれずに残り電氣的短絡を起こす恐れがある。上部電極の形成に関する上のような問題を解決するためには、通常、図8に示すように、厚い層間絶縁体層を形成し素子表面を平坦化した後に所望の深さまでエッチバックする方法がとられるが、エッチバックによってMIMキャパシタの2つの電極間の距離を設計値にあわせることは難しく、またMIMキャパシタの絶縁膜は平坦化に適した材料に限られることにもなる。

【0006】本発明の第2の目的は、MIMキャパシタの設計の自由度を失うことなく、かつ上下電極間の絶縁を低下させるおそれもなく、上下電極と上下2層の配線をそれぞれ同時に形成する方法を提供することである。

【0007】

【課題を解決するための手段】本発明のMIMキャパシタは、絶縁体層の構成が、MIMキャパシタ形成領域と同領域以外の領域において異なる。

【0008】絶縁体層は、MIMキャパシタ形成領域においては第1の所定の誘電率および厚さを有する絶縁体層からなり、MIMキャパシタ形成領域以外の領域においては第2の所定の誘電率および厚さを有する絶縁体層が含まれていてもよい。

【0009】上の第1の所定の誘電率および厚さは、電極の面積におけるMIMキャパシタの容量に対応する誘電率および厚さであり、第2の所定の誘電率および厚さは、MIMキャパシタ形成領域以外の領域における容量の発生を防止するとともに、下層の金属層に含まれる電極の周縁部において上層の金属層に含まれる電極との間に生ずることのある絶縁不良を防止することができる誘電率および厚さである。

【0010】また、上層および下層の金属層に含まれる電極および配線は、それぞれ同一平面上にあり、かつそれぞれ同一の厚さを有してもよい。

【0011】上述のように、本発明のMIMキャパシタはキャパシタ外領域にはキャパシタ内領域の誘電体膜とは異なる絶縁体層を用い、この絶縁体層の膜厚を厚くすることにより下部電極周縁で生じやすい下部電極と上部電極間の絶縁不良を防ぐことができる。

【0012】本発明のMIMキャパシタおよび配線の形成方法は、下層の金属層に含まれる電極および配線および上層の金属層に含まれる電極および配線がそれぞれ同時に形成される。

【0013】半導体基板上に電極および配線を含む所定

のパターンを有する下層の金属層を形成し、全面に、基板の元の面に平行し、かつ平坦な表面を有する第1の絶縁体層を形成し、その第1の絶縁体層の第1の所定の領域をエッチングにより除去し、前面に第2の絶縁体層を形成し、その第2の絶縁体層の第2の所定の領域をエッチングにより除去し、最後に、全面に電極および配線を含む所定のパターンを有する上層の金属層を形成するステップを有するものでもよい。

【0014】上述の第1の絶縁体層は、前記MIMキャパシタ形成領域以外の領域における容量の発生を防止するとともに、下層の金属層に含まれる電極の周縁部において上層の金属層に含まれる電極との間に生ずることのある絶縁不良を防止することができる誘電率および厚さを有し、また、第2の絶縁体層は、電極の面積においてMIMキャパシタの容量に対応する誘電率および厚さを有する。

【0015】また、第1の所定の領域はMIMキャパシタ形成領域を含み、さらに上層および下層の金属層に含まれる配線間に接続点があればその接続領域を含んでよい。

【0016】上述のように、本発明のMIMキャパシタの形成方法では、配線間の層間絶縁体層の形成時に素子表面を平坦化することにより、下層の金属層を形成する時に生じる素子表面の凹凸から生じる影響を消すことができるので、それにより、従来上層の金属層を加工する際、素子表面の段差部で発生していた配線不良の可能性をあらかじめ除去することができ、また、MIMキャパシタの電極間の誘電体膜を、配線間の絶縁膜とは別工程で形成することができるので、電極間の誘電体膜の材質、膜厚を自由に選び、キャパシタ容量を容易に制御することができる。

【0017】

【発明の実施の形態】次に、本発明のMIMキャパシタ並びに同キャパシタおよび配線の形成方法の実施の形態について、図面を参照して説明する。

【0018】図1は本発明のMIMキャパシタが形成されている半導体チップの断面図の例である。

【0019】この半導体チップは半導体層1と、MIMキャパシタの下部電極となる下層の金属層2と、上部電極となる上層の金属層5と、誘電体膜4と、絶縁体層3とにより構成されている。金属層2、金属層5はそれぞれ第1層配線（下層配線）、第2層配線（上層配線）を兼ねている。また誘電体膜4はMIMキャパシタの容量値を上げるため、膜厚は薄く、比誘電率が高いものが望ましく、例えば SiO_2 膜、 SiON 膜、 Ta_2O_5 膜等を用いることができる。一方、絶縁体層3は金属層2と金属層5との絶縁を保つために膜厚が一定の厚さを有し、またこの部分で余分な容量を発生しないために比誘電率は低いものが望ましく、例えば SiO_2 膜、 SiON 膜、ポリイミド、ベンゾシクロブテン等を用いること

ができる。

【0020】図2は本発明の、MIMキャパシタの下部電極と第1層配線および上部電極と第2層配線を半導体チップ上にそれぞれ同時に形成する形成方法の工程の例を示す半導体チップの断面図である。

【0021】まず半導体層1上にMIMキャパシタの下部電極および第1層配線となる金属層2を形成し、次に絶縁体層3を全面に形成する。さらに上層にホトレジストを塗布し、素子表面を元の素子表面と平行になるように平坦化した後、前記ホトレジストと絶縁体層3を等速度でエッチングし、金属層1上の絶縁体層3の厚みが所定の値になるまで絶縁体層3をエッチバックする(図2(a))。次に所定のボタンを有するマスクを用いて絶縁体層3をエッチングし、MIMキャパシタ形成領域と第1層および第2層の配線間の接続部を開口する(図2(b))。次にMIMキャパシタの電極間絶縁膜となる誘電体膜4を全面に形成し、続いて、所定のボタンを有するマスクを用い(図2(c))、誘電体膜4をエッチングし、第1層、第2層配線間の接続部のみを再び開口する(図2(d))。全面に金属層5を形成した後(図2(e))、ミリング等により金属層5を所定のボタンに加工することにより、図2(f)に示すようにMIMキャパシタの上部電極と、第2層配線と、第1層および第2層の配線間の接続部とを同時に形成することができる。

【0022】絶縁体層3の形成時の素子表面の平坦化については、上記の方法以外にも、絶縁体層3として粘性の低いポリイミド等の平坦化材を回転塗布法によって形成することで平坦化してもよい。

【0023】

【発明の効果】以上説明したように、本発明のMIMキャパシタは、下部電極および第1層配線と上部電極および第2層配線の間の絶縁体層として、キャパシタ部以外の領域に膜厚の厚い絶縁体層を設けることにより、下部電極端部で生じやすい両電極間の絶縁不良を防ぐことが

できる効果がある。

【0024】また、本発明のMIMキャパシタおよび配線の形成方法は、配線間の層間絶縁体層の形成時に素子表面を平坦化し、かつ電極間の誘電体膜を配線間の絶縁体層と別工程で形成することにより、誘電体膜設計の自由度とともに上下電極間の良好な絶縁性を確保しつつ、上下の電極と配線をそれぞれ同時に形成することができる効果がある。

【図面の簡単な説明】

【図1】本発明のMIMキャパシタが形成されている半導体チップの断面図の例である。

【図2】本発明の、MIMキャパシタの下部電極と第1層配線および上部電極と第2層配線を半導体チップ上にそれぞれ同時形成する形成方法の工程の例を示す半導体チップの断面図である。

【図3】従来のMIMキャパシタが形成されている半導体チップの断面図である。

【図4】従来のMIMキャパシタの下層金属層の、リフトオフ法による形成工程を示す断面図である。

【図5】従来のMIMキャパシタの上層金属層の、リフトオフ法による形成工程を示す断面図である。

【図6】従来のMIMキャパシタの下層金属層の、スパッタ法による形成工程を示す断面図である。

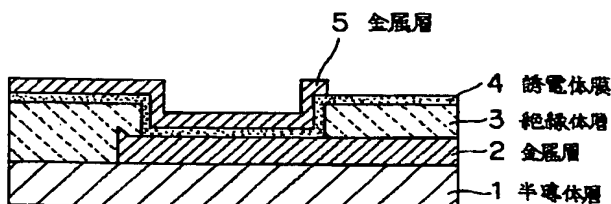
【図7】従来のMIMキャパシタの上層金属層の、スパッタ法による形成工程を示す断面図である。

【図8】下層金属層の形成に伴う段差の影響を解消するため、絶縁体層の形成を先行する上層金属層の形成工程を示す断面図である。

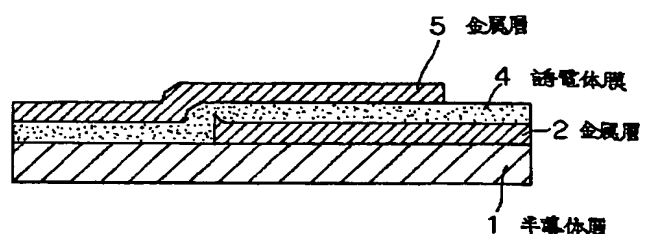
【符号の説明】

- 1 半導体層(半導体基板)
- 2, 5 金属層
- 3 絶縁体層
- 4 誘電体膜
- 6, 7, 8, 9 ホトレジスト

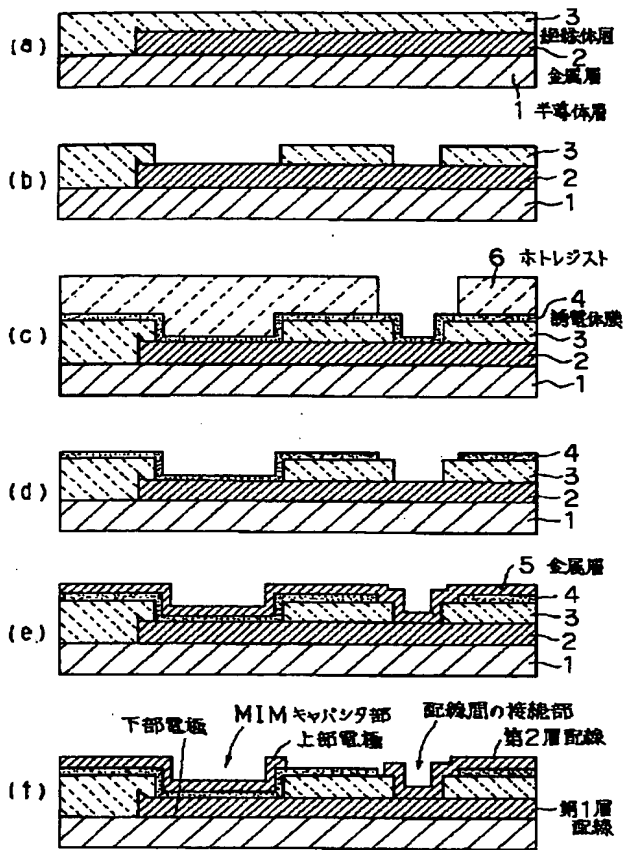
【図1】



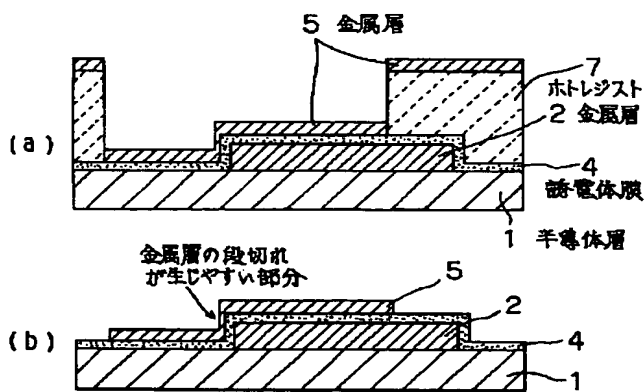
【図3】



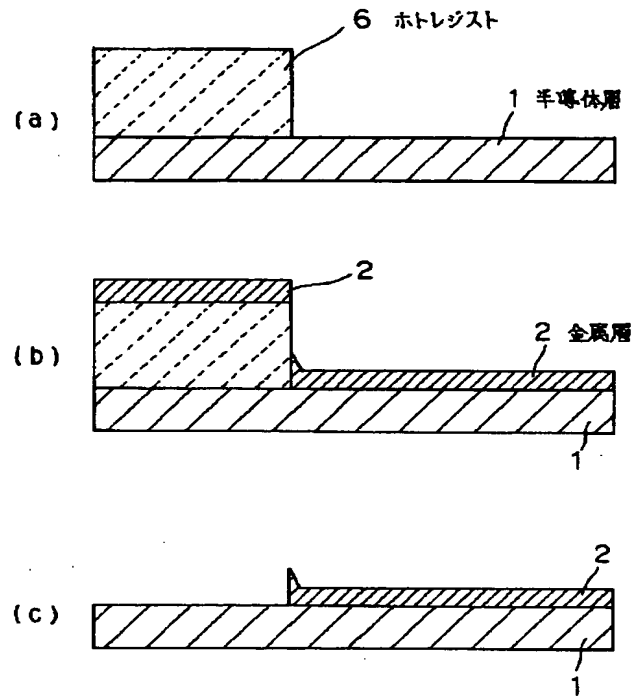
【図2】



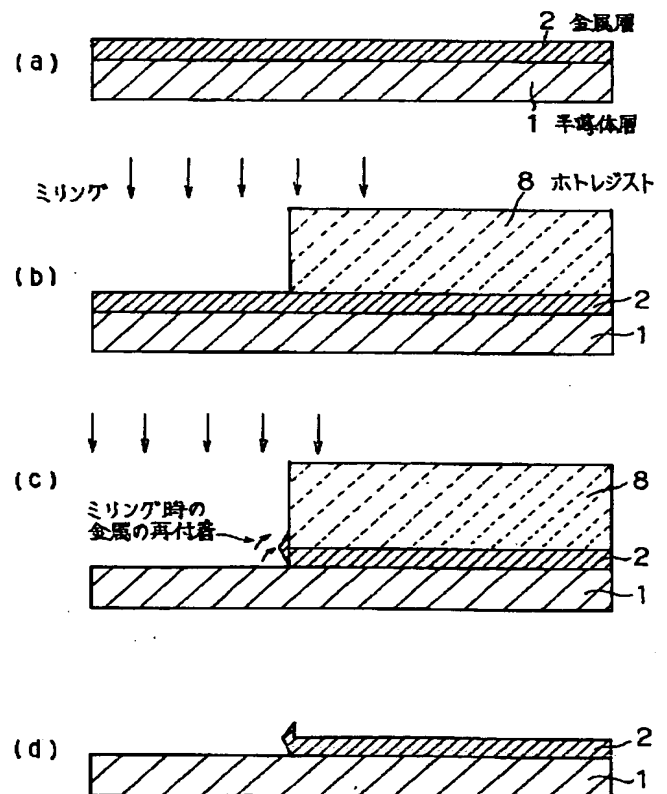
【図5】



【図4】



【図6】



【図 8】

